Mobiles Datenerfassungsgerät

Anleitung zur Inbetriebnahme / Serviceanleitung

bestehend aus

I. Schaltungsbeschreibung

II. Prüftechnologie
    Meßgeräte

Anleitung zur Inbetriebnahme / Serviceanleitung

bestehend aus

I. Schaltungsbeschreibung

II. Prüftechnologie
Meßgeräte

Seite

I.Schaltungsbeschreibung

1. Tastatur- und Anzeigeschaltung

Die Tastatur- und Anzeigeschaltung ähnelt der des Taschenrechners MR 412. Sie wurde speziell auf die Erfordernisse des mobilen Datenerfassungsgerätes abgestimmt.

1.1. Tastatur

Die Dateneingabe in das mobile Datenerfassungsgerät erfolgt über eine Tastatur mit den Ziffern 0...9, drei Kommandotasten und Tasten für die Grundrechenarten zur eventuellen Datenvorverdichtung.
Durch die Anordnung der Tasten in einer Dreiecksmatrix konnte die Anzahl der Tastaturanschlüsse minimal gehalten werden.
Die Tastaturabfrage übernimmt ein Taschenrechnerschaltkreis U 824 G. Er schaltet zyklisch H-Pegel an die einzelnen Ausgänge. Zur Erkennung einer Tastenbetätigung werden ständig die Eingänge abgefragt. Hat ein Eingang H-Pegel, so ist die im Kreuzungspunkt zwischen diesem Eingang und dem gerade H-Pegel führenden Ausgang liegende Taste gedrückt worden.

1.2. Anzeige

Die Anzeige erfolgt auf einem Flüssigkristalldisplay vom Typ FAR 04 A. Der Rechner U 824 G steuert die Anzeige mit einem Multiplexverhältnis 1:3 an. Je Ziffernstelle besitzt die Anzeige 9 Elektroden: drei Segmentleitungen S1, S2, S3 (Rechneransteuerleitungen A, B, C) mal drei Rückseitenelektroden H1, H2, H3.
Die Anzeige wird mit einer Wechselspannung von etwa 100 Hz betrieben, deren Gleichspannungsanteil kleiner als 0,5 V sein muß, um eine elektrolytische Zersetzung zu verhindern.

1.3. Tastaturabfrage und Anzeigebedienung

Die Tastaturabfrage und Anzeigebedienung koordiniert der Einchipmikrorechnerschaltkreis U 824 G.
An die Tastatur sind die Anschlüsse T1, K1...K7, K11 geschaltet. Wird eine im Kreuzungspunkt zweier dieser Leitungen liegende Taste betätigt, führen die jeweiligen Leitungen gleiche Pegel.
Zur Anzeige führen die Segmentleitungen A1...A8, B1...B8, C1...C8 und die Rückseitenanschlüsse H1...H3.

Mit dem ehemaligen Einschalter des Taschenrechners wird zwischen Datenerfassung und Datenvorverdichtung (Taschenrechnermodus) umgeschaltet.

2. Zentrale Steuerung des MobDEG

Die zentrale Steuerung beinhaltet den Steuerrechner, die Schaltung zur Simulierung der Tastaturbetätigung, die Schaltung zur Auswertung der Kommandotasten, die Umschaltung der Taktfrequenz des Coprozessors und Pegelanpaßschaltungen.

2.1. Steuerrechner

Als Steuerrechner kommt der Einchipmikrorechner UB 8820 M zum Einsatz, dessen Programmspeicher extern angeordnet ist. Der Schaltkreis UB 8820 M stellt die Programmentwicklungsvariante des maskenprogrammierten EMR UB 8810 D dar. Außer zur Programmentwicklung für einen maskenprogrammierten EMR wird der UB 8820 M in Geräten eingesetzt, für die die Herstellung eines maskenprogrammierten EMR auf Grund der niedrigen Produktionsstückzahl unrentabel ist.

2.1.1. Architektur des UB 8820 M

In einem einzigen Bauelement sind auf nur einem Chip die wesentlichen Komponenten eines leistungsfähigen Mikrorechnersystems vereinigt:

- Ein- / Ausgabetore
- programmierbare Zähler / Zeitgeber
- Mehrzweckregister
- programmierbare Schnittstellen zur seriellen Ein- / Ausgabe
- Interruptsteuerung

Besondere Merkmale der Mikrorechnerfamilie UB 8810 / UB8820 sind:

- 8 Bit Verarbeitungsbreite
- 43 Basisbefehlstypen

- 2 kByte Programmspeicher über separates Speicherport direkt adressierbar
- 128 Byte RAM-Kapazität, davon 124 Mehrzweckregister, 4 Ein- / Ausgaberegister und 16 Status- und Steuerregister
- 32 Ein- / Ausgabeleitungen
- Sender und Empfänger für serielle Datenübertragung (vollduplex, durch internen Zeitgeber getaktet)
- 2 programmierbare 8-Bit-Zähler/Zeitgeber mit je einem programmierbaren 6-Bit-Vorteiler
- On-Chip-Oszillator für 8 MHz
- 6 priorisierte und vektorisierte Interruptquellen
- Möglichkeit der Adressierung externer Speicher bis 124 kByte
- TTl-Kompatibilität aller Anschlüsse

2.1.2. Ein- / Ausgabetore

Der EMR besitzt 4 Ports zu je 8 Leitungen, die als Ein- bzw. Ausgang genutzt werden können. Bei Verwendung externer Datenspeicher bzw. Programmspeicheraufrüstungen können 2 Ports als Adreß- / Datenleitungen konfiguriert werden.
Durch Softwaresteuerung werden die Ports 0...2 in der Datenrichtung festgelegt. Bei Port 3 liegt die Zuordnung fest, die den Bits 0...3 zugehörigen Leitungen sind Eingänge, die vier übrigen Bitleitungen sind Ausgänge.
Port 0 ist nibbleprogrammierbar, d.h. die vier unteren Bitleitungen sind als vier Ein- oder vier Ausgänge programmierbar, während die oberen Bitleitungen unabhängig davon separat als Ein- oder Ausgänge programmierbar sind.
Port 1 ist byteprogrammierbar, d.h. die acht Leitungen sind entweder Ein- o d e r Ausgänge.
Port 2 ist bitprogrammierbar, d.h. jede Leitung kann als Ein- oder Ausgang genutzt werden.
Alle Ports haben TTL-kompatible Ziehwiderstände nach Plus bzw. nach Masse. Durch Negieren eines Bit in einem Steuerregister lassen sich die acht Leitungen von Port 2 als Open-Drain-Ausgänge schalten bzw. mit aktiven Widerständen nach Plus betreiben.

2.1.3. Zähler / Zeitgeber

Der EMR enthält zwei 8-Bit-programmierbare Zähler/Zeitgeber, die jeweils durch einen eigenen 6-Bit-programmierbaren Vorteiler getrieben werden. Einer der Vorteiler kann sowohl durch den internen Takt als auch von externen Taktquellen angesteuert werden, der andere teilt den internen Takt.
Erreicht ein Zähler das Ende der Zählung, so wird eine Interruptanforderung ausgelöst und über den zugehörigen Vektor die spezielle Interruptserviceroutine abgearbeitet.
Die Zähler können gestartet, gestoppt, vom aktuellen Wert oder vom Anfangswert wieder gestartet werden, indem man das Betriebsartenregister der Zeitgeber entsprechend programmiert.

2.1.4. Serielle Schnittstelle

Die Bitleitungen 0 und 7 von Port 3 können als serielle Ein- / Ausgabeleitungen für voll-duplexen seriellen asynchronen Empfangs-/Sendebetrieb programmiert werden. Die Bitrate wird durch den Zähler/Zeitgeber 0 (T0) gesteuert und liefert eine maximale Datenrate von 62,5 Kilobit/s. Die zu übertragenden Daten werden nacheinander in das Wandlungsregister geladen und über Bit 7 von Port 3 hinausgeschoben. Die seriellen Daten werden von Bit 0 des Port 3 empfangen und in den Empfangspuffer eingetragen. Die jeweils zugehörige Interruptserviceroutine trägt ein neues zu sendendes Zeichen in das parallel/serielle Wandlungsregister ein bzw. holt ein soeben empfangenes aus dem Empfangspuffer ab und legt es an der aktuellen Speicherposition ab.
Der Zähler/Zeitgeber läuft mit dem 16fachen der Bitrate, um den ankommenden Datenstrom zu synchronisieren.
Im Sendebetrieb fügt der EMR automatisch ein Startbit (Low-Pegel) und zwei Stopbits (H-Pegel) zu den gesendeten Daten hinzu. Ohne Rücksicht auf die Paritätswahl werden immer acht Bits übertragen. Wenn das Steuerregister entsprechend gesetzt wird, liefert der EMR auch ungerade Parität.
Zwischen den Zeichen wird die Sendeleitung auf H-Pegel gezogen, um die Markierungsbedingungen des Übertragungsformates einzuhalten.
Bei Empfangsbetrieb muß das Datenformat ein Startbit, acht

Datenbits und mindestens ein Stopbit haben. Wenn Parität gewählt ist, wird Bit 7 der empfangenen Daten als Paritätsbit genutzt.

2.1.5. Anschluß externer Speicher

Der EMR kann 62 kByte externen Datenspeicher adressieren. Dazu sind die Ports 0 und 1 entsprechend zu konfigurieren, daß sie die erforderliche Anzahl von Adreßbits ausgeben. Port 1 wird als gemultiplexter Adreß-/Datenbus für AD0...AD7 verwendet und Port 0 gibt die Adreßbits A8...A15 aus.
Das Multiplexen von Adressen und Daten auf demselben Port wird mit den beiden Steuersignalen $\overline{AS}$ (Adreßstrobe) und $\overline{DS}$ (Datastrobe) gesteuert.
Das Signal $\overline{AS}$ wird zu Beginn eines Maschinenzyklus ausgegeben, es ist low-aktiv. Mit der steigenden Flanke sind die am Port 1 stehenden Adressen 0...7 gültig und können in den Adreßzwischenspeicher übernommen werden. Die am Port 0 stehenden Adressen sind während des gesamten Maschinenzyklus gültig.
Das Signal $\overline{DS}$ ist ebenfalls low-aktiv. Die Schreibdaten sind während der aktiven Phase von $\overline{DS}$ gültig, die Lesedaten werden mit der steigenden Flanke von $\overline{DS}$ übernommen.
Ein weiteres Signal bei der Arbeit mit externen Speichern ist das Speicherauswahlsignal $\overline{DM}$, das zwischen externem Programm- und Datenspeicher unterscheidet. Es ist ebenfalls ein low-aktives Signal. Es ist einen Maschinenzyklus lang. Dieses Signal wird bei entsprechender Programmierung vom Bit 4 des Port 3 ausgegeben.
Zur Unterscheidung eines Lese- oder Schreibzugriffes auf den Speicher wird das Signal $R/\overline{W}$ (ebenfalls low-aktiv) genutzt. Es beginnt und endet mit dem jeweiligen Maschinenzyklus.
Der EMR bietet die Möglichkeit, beim Einsatz langsamer Speicher bzw. (wie beim MobDEG) Speicheransteuerschaltungen das Datengültigkeitssignal $\overline{DS}$ um einen internen Systemtakt zu verlängern. Die Schreibdaten sind dadurch um einen internen Takt (intern arbeitet der Rechner mit der halben Oszillatorfrequenz als Taktfrequenz) länger gültig, die zu lesenden Daten werden entsprechend später gelesen.
Durch diese Möglichkeit der EMR-Softwaresteuerung können lang-

samere Speicherschaltkreise eingesetzt werden, die sowohl in der Strombilanz als auch im Preis günstiger sind.

2.2. Bedienung des Coprozessors

Der Steuerrechner UB 8820 M arbeitet mit dem Coprozessor U 824 G bei der Anzeige der Anzahl der belegten Datenspeicherplätze, bei der Erkennung der Betätigung der Kommandotasten und beim Auslesen des X-Registers des U 824 G zusammen.
Der Systemtakt (500 kHz) des Steuerrechners wird einem programmierbaren Teiler zugeführt und als 250 kHz-Takt dem Coprozessor geliefert; die zwischengeschalteten CMOS-Gatter dienen der Pegelanpassung der beiden Rechner.

2.2.1. Eingabe über Tastaturanschlüsse

Die Eingabe von Informationen des Steuerrechners in die Anzeige des Coprozessors erfolgt durch eine Simulation der Tastenbetätigung über zwei Multiplexer. Dazu sind die beiden Multiplexer mit ihrem Y-Anschluß zusammengeschaltet. Die Z-Anschlüsse sind mit den Zeilen bzw. Spalten der Tastaturmatrix verbunden. Bei einer Tastenbetätigung durch den Steuerrechner wird Port 2 per Software als Ausgabeport programmiert, an P 20...P 22 und an P 24...P26 werden die Adressen der zu verbindenden Z-Anschlüsse gelegt. P 27 wird von H- auf L-Pegel umgeschaltet, damit werden einerseits die Multiplexer aktiviert und andererseits das Port A des Busschaltkreises V 4034 D deaktiviert, um ein "Kämpfen" der Ausgangsdaten des Rechners gegen die des V 4034 D zu vermeiden. Die Software legt die Zeit der Tastenbetätigung und die Erholungszeit fest. Die Tastaturentprellung erfolgt softwareseitig.

2.2.2. Kommandoerkennung

Sofort nach Abschluß der Tastaturbedienung wird Port 2 wieder auf Eingabe geschaltet. P 27 erhält über den Pull-up-Widerstand R 40 H-Pegel und schaltet die Multiplexer inaktiv. V 4034 D wird aktiviert und verbindet Port A mit Port B, wenn der durch den Faktor 32 frequenzgeteilte Systemtakt des Rechners den Schaltkreis am Anschluß C taktet.
Die Betätigung einer der drei Kommandotasten erfährt der Rechner an P 23 über die vorgeschalteten Gatter von den Anschlüssen

A1...A3 des V 4034 D.
An P 20...P 22 liegt ein der jeweiligen Kommandotaste entsprechender Code an:

01 - Übernahme der Daten aus der Anzeige
02 - Löschen des Datenspeichers
04 - Ausgabe der Daten über die serielle Schnittstelle

Je nach Kommando verzweigt der Rechner zur gewünschten Programmroutine.

2.2.3. Auslesen des Anzeigeregisters

Die Ausgabe des X-Registers des Coprozessors wird mit L-Pegel am P 35 des Steuerrechners eingeleitet, der zum Modeanschluß (Pin 39) des U 824 G führt. Der Analogschalter V 4066 D schaltet den um den Faktor 8 niedrigeren Takt (32,5 kHz) an den Coprozessor. Durch diese niedrige Taktfrequenz kann die Decodierung der seriellen Daten des Anzeigeregisters des Coprozessors rein softwaremäßig vom Steuerrechner vorgenommen werden. Die seriellen Daten werden am Pin 25 ausgegeben, durchlaufen zur Pegelanpassung CMOS-Gatter und erreichen den Steuerrechner an P 32. Die Synchronisation erfolgt mit dem Tastensignal T1 an P 31.
Nach Abschluß des Auslesens wird P 35 wieder auf H-Pegel geschaltet, der Coprozessor arbeitet wieder im Anzeigemodus, die Taktfrequenz ist 250 kHz.

3. Datenspeicher

3.1. Speicherkonfiguration

Der Datenspeicher hat eine Größe von 10 kByte. Es werden Schaltkreise U 224 D mit der Organisation 1024 * 4 Bit eingesetzt. Je kByte Speicher sind also zwei Schaltkreise nötig, insgesamt 20 Stück.

3.2. Aufbereitung der Steuersinale

Die Adreßanschlüsse A0...A7 und die Datenleitungen D0...D7 sind am Adreß-/Daten-Multiplexport P1 des UB 8820 M angeschlossen. Die Adressen A8 und A9 werden von P 00 und P 01 versorgt. Das Schreibsignal $\overline{WE}$ wird mit Gattern gepuffert dem R/$\overline{W}$-Signal des Rechners entnommen.

Die Übernahme der Adressen in die Adreßlatches der Speicherschaltkreise muß bei der steigenden Flanke des Adreßstrobesignals $\overline{AS}$ erfolgen, weil danach am Port 1 Daten anliegen. Während der steigenden Flanke des Datenstrobesignals $\overline{DS}$ müssen die Speicherschaltkreise die gültigen Daten an Port 1 liefern. Es muß also gesichert sein, daß das Aktivierungssignal $\overline{CS}$ der angesprochenen Speicherschaltkreise mit der steigenden $\overline{AS}$-Flanke einen H/L-Sprung ausführt und bei der steigenden $\overline{DS}$-Flanke noch oder um den Wert der Speicherzugriffszeit vorher wieder auf L-Pegel liegt.
Über das Speicherauswahlsignal werden die zehn einzelnen 1kByte-Blöcke selektiert. Die Adreßleitungen A0...A9 liegen direkt an den Speichern, die Adreßleitungen A10...A12 werden den Decodiereingängen der Multiplexer zugeführt. A13 von P 05 des Rechners unterscheidet zwischen den Speicheradressen unter und über 2000H; ab der Speicheranfangsadresse 1000H liegen bis 1FFFH 4 kByte Speicher (Z4...Z7 von D24), von 2000H bis 37FFH befinden sich die anderen 6 kByte (Z0...Z5 von D25). A14 und A15 verhindern eine Adressenspiegelung oberhalb des eigentlichen Adreßraumes und wurden in die vollständige Adressendecodierung mit einbezogen, eine zwingende Notwendigkeit bestand bei einer Speicherverwaltung, wie sie im MobDEG realisiert ist, jedoch nicht.
Der externe Speicher kann nur angesprochen werden, wenn das $\overline{ZE}$-Signal des jeweiligen Multiplexers L-Pegel erhält. Dazu müssen die drei Eingänge des zugehörigen NAND-Gatters H-Pegel führen. Über diese Gatter und drei NOR-Gatter des D26 sowie das Flip-Flop D23 erfolgt das $\overline{AS}/\overline{DS}$-Signalspiel zur zeitlich definierten Adreßübernahme in die Speicherlatches. Die Verdeutlichung der Vorgänge wird an folgendem Beispiel vorgenommen:
Die Speicheradresse 1400H soll angesprochen werden. Port 1 enthält also ab Maschinenzyklusbeginn bis zur L/H-Flanke von $\overline{AS}$ die Adreßbitkombination 00H, Port 0 führt während des gesamten Maschinenzyklus das Byte 14H, d.h. A10 (P 02) und A12 (P 04) liegen auf H-Pegel, ebenso A0 und A2 von D24. Wenn $\overline{ZE}$ von D24 auf L-Pegel gelegt wird, sind D17 und D18 aktiv, da Z5 von D24 selektiert und nach Y (L-Pegel) durchgeschaltet wird. Dies geschieht, wenn D21 an den Pins 4...6 H-Pegel führt.

Pin 5 erhält H-Pegel vom negierten Adreßanschluß A13 (P 05), Pin 3 und Pin 4 werden high, wenn D23 am Q-Ausgang low wird, da A14 (P 06) und A15 (P 07) bei dieser Adresse low sind. Vor Beginn des Maschinenzyklus ist D23 über P 34 gesetzt worden. Der H/L-Sprung des $\overline{AS}$-Signals wird über D22 und D26 an den Takteingang des Flip-Flop D23 weitergeleitet, ist aber unwirksam. Erst mit der L/H-Flanke schaltet das Flip-Flop den Ausgang Q um (auf low), nach den Signallaufzeiten durch die CMOS-Schaltkreise des Decoders werden D17 und D18 aktiv. Bei der steigenden Flanke von $\overline{DS}$ wird das Flip-Flop wieder zurückgeschaltet und die ausgewählten Speicher deaktiviert. Die nichtaktivierten Multiplexerausgänge werden über Pull-up-Widerstände an (die Speicher inaktivierenden) H-Pegel gezogen. Die Pegelanpassung der NMOS-Rechnerausgänge an die CMOS-Eingänge der Gatter erfolgt ebenfalls über Pull-up-Widerstände.

4. Stromversorgung

Der Steuerrechner mit Programmspeicher hat eine Stromaufnahme um 200 mA. Batteriebetrieb scheidet aus diesem Grunde aus. Mit einem elektronisch geregelten Netzteil wird für alle Baugruppen des MobDEG die Versorgungsspannung von 5 Volt gewonnen.

4.1. Steuerrechner

Der Steuerrechner und die CMOS-Schaltkreise der zentralen Steuerung sowie der Datenspeicher werden mit 5 Volt gespeist. Für die Zeit der seriellen Ausgabe der gespeicherten Daten wird auch die Stromversorgung der MobDEG-Seite des V24-Adapters vom MobDEG-Netzteil übernommen.

4.2. Coprozessor

Die Betriebsspannung des U 824 G beträgt 3 Volt. Die untere H-Eingangsspannung der CMOS-Gatter liegt bei 3,5 Volt. Das Bezugspotential des Coprozessorschaltungsteils wurde deshalb auf 1 Volt hochgelegt. Die obere L-Eingangsspannung der CMOS-Gatter liegt bei 1,5 Volt. Die Ansteuerung der zur Pegelanpassung zwischen Coprozessor und Steuerrechner eingesetzten CMOS-Gatter kann also mit je 0,5 Volt Sicherheit bezüglich der garantierten Bauelementewerte erfolgen.

4.3. Datenspeicher

Der Datenspeicher wird während des Netzanschlusses von der 5-Volt-Schiene über die Diode V2 gespeist. Wird das MobDEG vom Netz getrennt, übernehmen zwei R6-Zellen die Schlafstromversorgung der CMOS-Speicher und der CMOS-Signalaufbereitungsstufen. Die Zellen liefern 3 Volt Spannung, vermindert um die Flußspannung der Entkopplungsdiode V3 stehen am Speicher noch etwa 2,4 Volt. Für die verwendeten Speicherschaltkreise sind 2 Volt Schlafspannung zum Datenerhalt ausreichend.

II. Prüftechnologie

II. Prüftechnologie

Zur elektrischen Prüfung bzw. Instandsetzung werden folgende Meßgeräte empfohlen:

- Wechselspannungsmesser bis 20 V (kann niederohmig sein)
- Gleichspannungsmesser bis 20 V (Innenwiderstand 10 MOhm)
- Zweistrahloszillograph bis 1 MHz
- evtl. Frequenzmesser bis 1 MHz
- evtl. Durchgangsprüfer (Klemmenspannung kleiner als 0,3 V)

1. Stromversorgung

1.1. Betriebsspannung Steuerrechner

Die Inbetriebnahme beginnt mit der Einstellung der 5-Volt-Schiene des Netzteils. Vor dem Anschluß des Netztransformators werden R 10 und R44 auf maximalen Widerstandswert eingestellt. Nach der Zuführung der Trafosekundärspannung an die Graetz-Gleichrichterdioden wird mit R 10 die Ausgangsspannung des Regelschaltkreises B 3170 auf 5 Volt eingestellt.

1.2. Betriebsspannung Coprozessor

Nach der Einstellung der 5-Volt-Schiene wird die Kollektorspannung von T5 (ca. 1 Volt) überprüft und mit R 44 am positiven Pol von C 27 eine Spannung von 4 Volt eingestellt. Die Betriebsspannung des Coprozessors beträgt somit 3 Volt.

1.3. Erhaltungsspannung Datenspeicher

Die CMOS-Schaltkreise D1...D26 erhalten bei Netzbetrieb ihre Betriebsspannug über V2 (ca. 4,4 Volt). Die Diode V3 ist gesperrt.
Nach Abschalten des Netzteils wird die Schlafspannung über V3 zugeführt, V2 ist dann gesperrt.
Als Schlafspannung sind mindestens 2 Volt zu sichern.

2. Tastatur- und Anzeigeschaltung

2.1. Tastatur

Die Tastatur wird zweckmäßig mit einem Zweistrahloszillographen überprüft.
An die beiden Leitungen im Kreuzungspunkt der zu testenden Taste wird je ein Y-Eingang des Oszillographen angeschlossen.
Bei Betätigung der Taste müssen sich die beiden Impulsbilder gleichen.

2.2. Anzeige

Die "Bild"wiederholfrequenz der Anzeige beträgt ca. 100 Hz.
Die Anzeigesteuerung des U 824 G ist für eine Flüssigkristallanzeige mit einem Multiplexverhältnis von 1:3 ausgelegt.
Der Rechner steuert die drei Segmentleitungen jeder Dezimalstelle mit den Ausgangssignalen A, B, und C an.
Es ist darauf zu achten, daß der Gleichanteil der Anzeigespannung 0,5 Volt nicht überschreitet.

2.3. Coprozessor

Am Coprozessor ist der vom Steuerrechner gelieferte Takt zu überprüfen. Die Betriebsspanung über dem Rechner ist 3 Volt.
Die Überprüfung des Coprozessors erstreckt sich auf die Kontrolle des Vorhandenseins der Tastatur- und Anzeigesignale.
Wenn der Steuereingang am Pin 39 auf L-Pegel geschaltet wird, müssen am seriellen Ausgang (Pin 25) die Ausgabeimpulse nachweisbar sein. Der am Pin 40 während dieser Zeit anliegende Takt hat die Frequenz 32,5 kHz. Nach der seriellen Ausgabe beträgt die Taktfrequenz dann wieder 250 kHz.

3. Steuerrechner

3.1. Ein- / Ausgabetore

Die Ports 0 und 1 sind für den externen Speicherbetrieb konfiguriert.
Das Port 2 wird zwischen Ein- und Ausgabe softwareseitig umgeschaltet, um einerseits die Multiplexer zur Tastatursimulation ansteuern, andererseits die Tastaturmatrixsignale

vom Busregister V 4034 D auswerten zu können.
Wenn der Steuerrechner die Tastaturmultiplexer ansteuert, passen die Pull-up-Widerstände R34...R40 die EMR-H-Ausgangspegel an die CMOS-H-Eingangspegel an, ziehen die H-Pegel also gegen 5 Volt.
Bei Port 3 sind die vier niedrigen Bits Eingänge und führen die von der angeschalteten Peripherie vorgegebenen Pegel. Die vier anderen Bitleitungen sind Ausgänge. P 34 wird zur Adressierung des externen Datenspeichers genutzt, P 35 schaltet den Takt für den Coprozessor über D 33 um und stoppt über D 29 den Auslesetakt der Tastaturabfrage. P 36 kann zur Unterstützung des seriellen Übergabeprotokolls verwendet werden, P 37 gibt die Daten bei der seriellen Übertragung aus, ist also nur bei der Zusammenschaltung mit der Datenendeinrichtung aktiv.

3.2. Systemtakt

Der Steuerrechner besitzt einen Oszillator, dessen frequenzbestimmendes Bauelement (beim MobDEG ein 1MHz-Quarz) an den Pins 62 und 63 angeschlossen wird. Am Pin 42 steht der durch 2 geteilte Oszillatortakt als intern verwendeter Systemtakt zur Gewinnung des Arbeitstaktes für den Coprozessor zur Verfügung.

3.3. Speicherports

An Port 0 stehen während der gesamten Länge des Maschinenzyklus die acht höherwertigen Adressen an. Port 1 wird ab Maschinenzyklusanfang bis zur steigenden Flanke von $\overline{AS}$ zur Ausgabe der acht niederwertigen Adressen als Ausgang geschaltet. Beim Speicherlesen wird dann bis eine halbe Taktperiode vor dem Ende des Maschinenzyklus auf Eingabe umgeschaltet, beim Speicherschreiben bleibt das Port 1 als Ausgang geschaltet und gibt die Daten aus.

4. Zusammenarbeit mit dem Coprozessor

4.1. Tastatursimulation

Port 2 des Steuerrechners ist auf Ausgabe geschaltet, an den Adreßeingängen A0...A2 der Multiplexer D 35 und D 36 liegen die Codierungen der zu verbindenden Z-Anschlüsse an. An den je-

Z-Anschlüssen und den beiden Y-Anschlüssen der Multiplexer müssen die gleichen Impulsbilder nachweisbar sein.

4.2. Kommandoerkennung

Die Leitungen in den Kreuzungspunkten der Kommandotasten sind an das als Eingang definierte Port B des Busregisters V 4034 D geführt. Der Übernahmetakt wird aus dem Coprozessortakt nach Teilung durch 32 gewonnen (D 29 und D 31).
Bei Betätigung z.B. der Speicherlöschtaste MCl erhalten B1 und B3 gleichzeitig H-Pegel, der am Pin 3 des NAND-Gatters D 30 kurzzeitig L-Pegel erzeugt, der an B6 des V 4034 D geführt und nach A6 und P 21 (EMR) durchgetaktet wird.
Das Kommando zur Übernahme des Datensatzes aus der Anzeige in den Datenspeicher bewirkt ein Signal an P 20, das Kommando zur seriellen Ausgabe steuert P 22 an.
Über $\overline{Q2}$ des D 31 wird die Synchronisation der Kommandoübernahme in das Busregister V 4034 D hergestellt.

4.3. Auslesen des X-Registers des U 824 G

Zum Auslesen des in der LCD-Anzeige stehenden Datensatzes wird das X-Register des Coprozessors ausgelesen. Um den ankommenden Datenstrom softwareseitig durch den Steuerrechner decodieren zu können, wird dabei der Arbeitstakt des Coprozessors auf 32,5 kHz gesenkt (Umschalten des entsprechenden Kanals des Analogschalters D 33 an den Ausgang 013 des D 29), ausgelöst durch L-Pegel von P 35 (EMR), der auch Pin 39 des Coprozessors auf L-Pegel hält. Die dem Pin 25 entnommenen Signale werden über D 38 dem Eingang P 32 des Steuerrechners zugeleitet. Eine Synchronisation des seriellen Datenstroms erfolgt mit den Impulsen von T1 (Pin 38 des U 824 G), die über D 34 dem Eingang P 31 des Steuerrechners zugeführt werden.

4.4. Pegelanpassung

Die Anpassung der unterschiedlichen Pegel des CMOS-Coprozessors an die CMOS-Gatter und -Teiler und deren logische Pegel an die des TTL-kompatiblen NMOS-Steuerrechners erfordern spezielle Schaltungsmaßnahmen.

Das Bezugspotential des Coprozessors wurde auf 1 Volt hochgelegt. Das entspricht dem L-Pegel, der vom Coprozessor geliefert werden kann. Der H-Pegel liegt um den Wert der 3-Volt-Betriebsspannung höher (auf 4 Volt). Der höchstzulässige L-Eingangspegel der CMOS-Gatter- und -Teiler-Schaltkreise liegt bei 1,5 Volt (bezogen auf 5 Volt Betriebsspannung), der niedrigste H-Eingangspegel bei 3,5 Volt.
Eine Anpassung der CMOS-Ausgänge an die NMOS-Steuerrechnereingänge ist nicht erforderlich, wohl aber eine Anpassung der NMOS-Rechnerausgänge an die CMOS-Eingänge. Die Ausgangsspannung des EMR darf 2,4 Volt betragen, die mit Pull-up-Widerständen auf 5 Volt gebracht werden muß.

5. Datenspeicher

5.1. Steuersignalaufbereitung

Günstig ist beim Oszillographieren der steilen Flanken der Datenspeicheransteuerung die ständige Wiederholung des Kommandos Speicherlöschen. Mit den Signalen $\overline{DM}$,$\overline{AS}$ und $\overline{DS}$ muß ein ständiges Kippen des D 23 nachweisbar sein. Bei der Ansteuerung der ersten 4 kByte Speicher ist das Signal $\overline{ZE}$ des D 24 auf L-Pegel, ansonsten $\overline{ZE}$ des D 25. Beim ständigen Auslösen des Kommandos Speicherlöschen kann die zeitliche Reihenfolge der Aktivierung der zehn $\overline{CS}$-Anschlüsse der Speicher verfolgt werden. Auch an den Ports 0 und 1 des EMR sind die Adressenveränderungen beim Ansteuern der 10 kByte Speicheradreßraum oszillografisch zu beobachten.

5.2. RAM-Speicher

Die Kontrolle der RAM-Speicherschaltkreise erfolgt oszillographisch. Die Adressenleitungen müssen die vom EMR angelegten Adressen enthalten, das $\overline{CS}$-Signal muß von der steigenden Flanke von $\overline{AS}$ bis zur steigenden Flanke von $\overline{DS}$ stabil auf L-Pegel liegen. Das gepufferte Schreibsignal $\overline{WE}$ muß mit dem vom EMR ausgegebenen Signal R/$\overline{W}$ übereinstimmen.